

CI13161 数据手册

高性价比神经网络智能语音芯片



• 脑神经网络处理器 (BNPU)

- BNPU V3.5, 支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算, 可实现高性能的语音识别和通话降噪等功能

• CPU 和存储器

- CPU 主频可达 210 MHz
- 内置 1MBytes Flash 存储器
- 内置 288KBytes SRAM
- 内置 256bit eFuse, 可用于应用加密

• Audio Codec

- 高性能低功耗 audio ADC, $\text{SNR} \geq 95\text{dB}$
- 低功耗 audio DAC, $\text{SNR} \geq 95\text{dB}$

• PWM

- 支持 3 路 PWM 接口

• GPIO

- 6 路高速 GPIO, 翻转频率可达 20MHz
- 5 路 GPIO 支持 5V 电平通讯

• 复位和电源管理

- 供电电压范围 3.6V~5.5V
- 内置 PMU 电源管理单元
- 内置上电复位 (POR)
- 内置电压检测 (PVD)

• 时钟

- 内置 RC 振荡器
- 支持外置晶振输入

• 通讯接口

- 1 路 IIC 接口
- 2 路 UART 接口, 支持 5V 电平通讯, 最高支持 3Mbps 通讯速率

• 定时器和看门狗

- 内置 2 组 32 位定时器和 1 个看门狗

目录

1 概述 3

 1.1 功能描述 3

 1.2 芯片规格 4

2 引脚图和功能描述 6

 2.1 引脚图 6

 2.2 管脚描述 7

 2.3 复用功能 9

3 电气特性 10

4 封装信息 11

5 订购信息 12

6 应用方案 13

 6.1 应用参考电路图 13

 6.2 其它应用注意事项 15

1 概述

1.1 功能描述

[CI13161](#) 是启英泰伦研发的新一代高性能神经网络智能语音芯片，集成了启英泰伦自研的脑神经网络处理器 BNPU V3.5 和 CPU 内核，系统主频可达 210MHz，内置高达 288KByte 的 SRAM，集成 PMU 电源管理单元和 RC 振荡器，集成单通道高性能低功耗 Audio Codec 和多路 UART、IIC、PWM、GPIO 等外围控制接口。[CI13161](#) 芯片仅需少量电阻电容等外围器件，即可实现各类智能语音产品硬件方案，性价比极高。

[CI13161](#) 采用工业级设计标准，具有很好的环境可靠性，其工作温度范围-40℃~+85℃，符合 MSL3 级湿敏等级、符合 IEC 61000-4-2 的 4KV 接触放电试验标准、符合 RoHS 和 REACH 环保标准。

[CI13161](#) 采用启英泰伦新一代 BNPU 技术，该技术支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现高性能语音识别、语音降噪等功能，具备强劲的环境噪声抑制能力。[CI13161](#) 方案还支持汉语、英语、日语等多种全球语言，可广泛应用于家电、照明、玩具、可穿戴设备、工业、汽车等产品领域，实现语音交互及控制和各类智能语音方案应用。

1.2 芯片规格

CI13161 功能框图如图 1-1 所示：

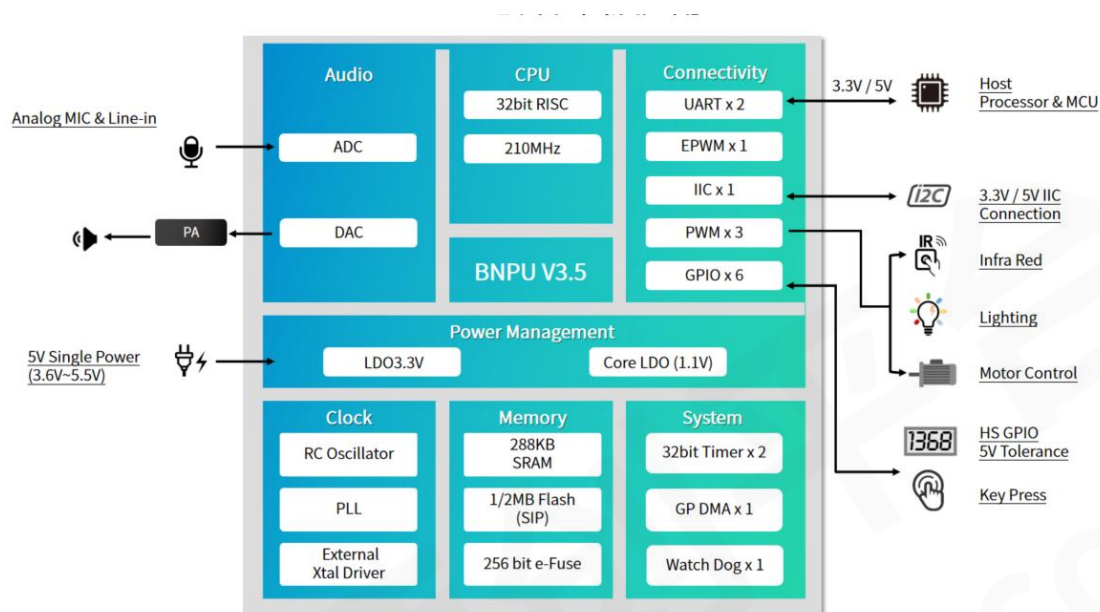


图 1-1 CI13161 功能框图

■ 神经网络处理器 BNPU V3.5

– 采用启英泰伦新一代硬件 BNPU 技术，支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现高性能语音识别、语音降噪等功能

■ CPU

– 32 位高性能 CPU，最高支持 210MHz 运行频率

■ 存储器

- 内置 288KB SRAM
- 内置 256bit eFuse
- 内置 1MB Flash

■ 音频接口

- 内置高性能低功耗 Audio Codec 模块，支持单路 ADC 采样和单路 DAC 播放
- 支持 Automatic Level Control (ALC) 功能
- 支持 8kHz/16kHz/24kHz/32kHz/44.1kHz/48kHz 采样率

■ 电源管理单元 PMU

- 支持宽电源电压供电，供电范围 3.6V~5.5V
- 内置 2 路高性能 LDO 电路，无需配置外置电源芯片，应用方案仅需少量外围阻容器件

■ 时钟

- 内置 RC 振荡器
- 支持外置晶振输入

■ 外设和定时器

- 2 路 UART 接口，支持最高 3M 波特率通讯
- 1 路 IIC 接口，可外接 IIC 器件扩展
- 3 路 PWM 接口，灯控和电机类的应用均可直接驱动
- 内置 2 组 32bit timer
- 内置 1 组独立看门狗 (IWDG)

■ GPIO

- 支持 6 路 GPIO 口，可作为主控 IC 应用
- 每路 GPIO 口可配置中断功能，可配置上下拉状态
- 5 路 GPIO 可通过外接 5V 上拉电阻直接支持 5V 电平通讯

■ 软件开发支持

- 提供完整软件开发包、应用方案示例、利用语音开发平台直接在线制作固件等支持，详情请访问：<https://aiplatform.chipintelli.com>

■ 固件烧录和保护

- 支持 UART 升级和固件保护

■ ESD 性能

- 采用内部 ESD 增强设计，可通过 4KV 接触放电试验

■ ROHS 和 REACH

- 采用环保材料，支持 RoHS 和 REACH 标准

■ 封装和工作温度范围

- 封装形式：SOP16，尺寸为长 9.9mm，宽 6.0mm，高 1.7mm
- 工作环境温度：-40℃~+85℃

2 引脚图和功能描述

2.1 引脚图

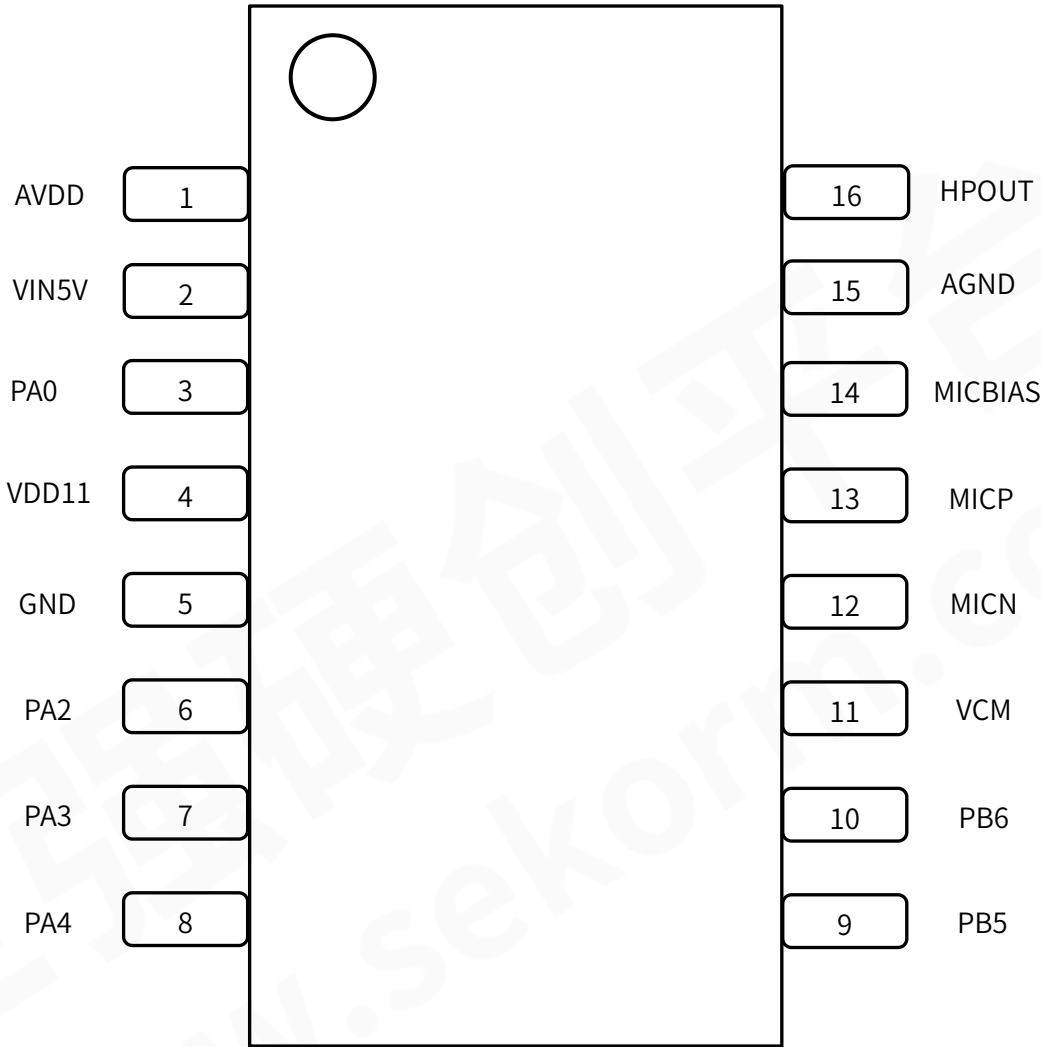


图 2-1 [CI13161](#) 管脚顺序及定义图

2.2 管脚描述

表 2-1 管脚描述

管脚号	管脚名称	类型	是否支持 5V 电平	上电默认状态	管脚功能
1	AVDD	P	-	-	- 内部 LDO-3.3V 输出 - 内部模拟电路 3.3V 供电输入 * Note1*
2	VIN5V	P	-	-	供电电压输入, 供电电压范围 3.6V~5.5V * Note1*
3	PA0	IO	-	-	- XIN (上电默认状态) - GPIO PA0 - PWM2
4	VDD11	P	-	-	- LDO-1.1V 输出 - 内核 1.1V 供电输入 * Note1*
5	GND	P	-	-	Ground
6	PA2	IO	√	IN, T+D	- GPIO PA2 (上电默认状态) - IIC_SDA - UART1_TX - PWMO - PWMP
7	PA3	IO	√	IN, T+D	- GPIO PA3 (上电默认状态) - IIC_SCL - UART1_RX1 - PWM1 - PWMN
8	PA4	IO	√	IN, T+U	- GPIO PA4 (上电默认状态) /PG_EN * Note2* - PWM2
9	PB5	IO	√	IN, T+U	- GPIO PB5 (上电默认状态) - UART0_TX - IIC_SDA - PWM1 - PWMP
10	PB6	IO	√	IN, T+U	- GPIO PB6 (上电默认状态) - UART0_RX - IIC_SCL - PWM2 - PWMN
11	VCM	O	-	-	VCM POWER Output
12	MICN	I	-	-	Microphone N input
13	MICP	I	-	-	Microphone P input
14	MICBIAS	O	-	-	Microphone bias output
15	AGND	P	-	-	Analog ground
16	HPOUT	O	-	-	DAC output

Note1 管脚需外接 4.7uF 电容

Note2 上电时该管脚为高电平, 系统将进入编程模式

符号定义:

I 输入

O 输出

IO 双向

P 电源或地

T+D 三态下拉

T+U 三态上拉

OUT 上电默认输出

IN 上电默认输入

所有 IO 均可配置驱动能力和上下拉状态。

2.3 复用功能

表 2-2 IO 复用功能

Pin Name	Function1	Function2	Function3	Function4	Function5	Function6	Specific Function
PA0	PA0	PWM2					XIN
PA2	PA2	–	IIC_SDA	UART1_TX	PWM0	PWMP	
PA3	PA3	–	IIC_SCL	UART1_RX	PWM1	PWMN	
PA4	PA4	–	–	–	PWM2		PG_EN *Notel*
PB5	PB5	UART0_TX	IIC_SDA	PWM1	PWMP		
PB6	PB6	UART0_RX	IIC_SCL	PWM2	PWMN		

Notel: PA4 (PG_EN) 管脚内部默认上拉，当上电时系统检测到该管脚为高电平、且 UART0 接口上有固件升级信号，则自动进入升级模式，此时可通过升级工具对芯片内部的 Flash 进行编程。若此时系统未检测到 UART0 接口上有固件升级信号、或检测到 PA4 管脚的电压为低电平，都将进入正常工作模式。

3 电气特性

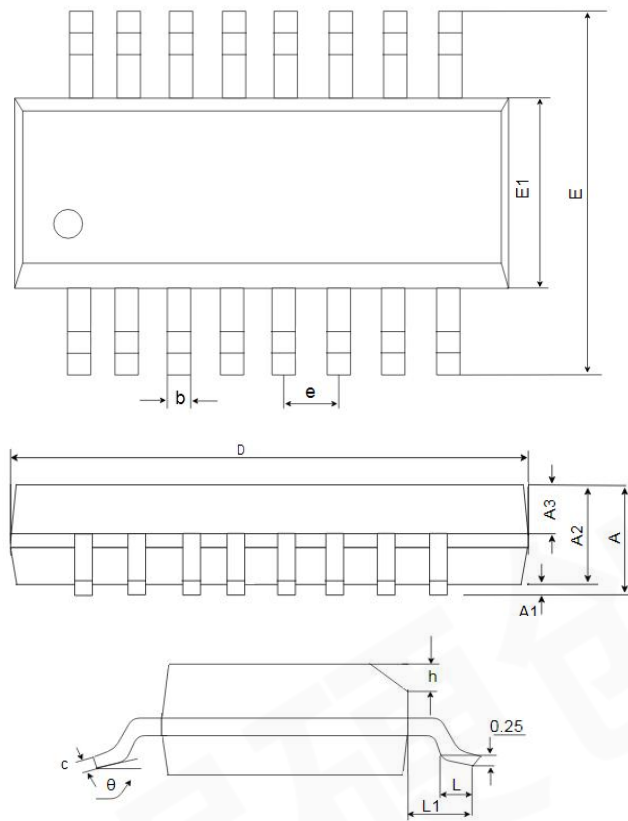
表 3-1 电气特性表

符号	描述	最小值	典型值	最大值	单位
VIN5V	芯片供电输入 *Note1*	3.6	5.0	5.5	V
AVDD	3.3V电源	2.97	3.3	3.63	V
VDD11	1.1V电源	0.99	1.1	1.21	V
V_{IH}	输入高电平 ($3.0V \leq VDD33 \leq 3.6V$)	$0.7 \times VDD33$	—	$VDD33 + 0.3$	V
V_{IL}	输入低电平 ($3.0V \leq VDD33 \leq 3.6V$)	-0.3	—	$0.3 \times VDD33$	V
V_{OL}	输出低电平 @ $I_{OL} = 12mA$	—	—	0.4	V
V_{OH}	输出高电平 @ $I_{OH} = 20mA$	2.4	—	—	V
I_{5V-IO}	5V耐压IO口输出3.3V时驱动电流	20	—	33	mA
I_{3V3-IO}	3.3V耐压IO口输出3.3V时驱动电流	14	—	24	mA
ΣI_{VDD}	芯片所有IO总电流之和	—	—	200	mA
Pde	芯片采用5V供电且VDD11采用外部供给1.1V状态，正常识别时5V电源的总功耗 ($T_A = 25^\circ C$)	40	—	90	mW
Pdi	芯片采用5V供电且系统采用内部LDO供电，正常识别时5V输入的总功耗 ($T_A = 25^\circ C$)	125	—	255	mW
RC振荡器精度 *Note2*	$T_A: -40^\circ C \sim +85^\circ C$	-1.5	—	+1.5	%
T_{op}	芯片工作环境温度	-40	—	+85	$^\circ C$
T_{st}	芯片储存环境温度	-55	—	+150	$^\circ C$

Note1:要求纹波小于 300mVp-p。

Note2:半导体技术原理及特性的原因，芯片内置的RC振荡器在高低温环境中，其振荡频率精度会产生一定的温漂($\pm 1.5\%$)，[CI13161](#) 内置波特率自适应电路，可支持在高低温环境中芯片与上位机的正常通讯。若应用方案要求芯片的时钟需要非常精确，请采用我司配置有外置晶振的芯片及相应的应用方案。

4 封装信息



COMMON DIMENSIONS

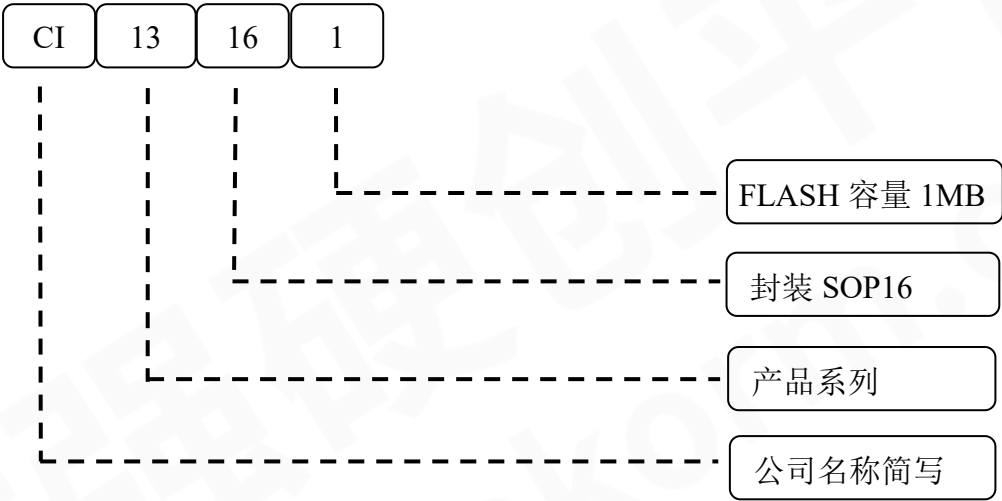
SYMBOL	UNIT: MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.70
A1	0.10	—	0.225
A2	1.30	1.40	1.50
A3	0.6	0.65	0.70
b	0.39	—	0.47
c	0.20	—	0.24
D	9.80	9.90	10.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
h	0.25	—	0.50
L	0.50	0.6	0.80
L1	1.05REF		
θ	0	—	8°

5 订购信息

[CI13161](#) 芯片封装 MRAK 如下图，第一行为公司 LOG，第二行为芯片型号，第三行为生产批次号，左下角圆点为 1 脚标识。



芯片型号定义如下：



[CI13161](#) 芯片订购信息见表 5-1。

表 5-1 [CI13161](#) 芯片订购信息表

产品型号	封装形式	基本包装	管装数量	出厂标准包装	标准包装数量
CI13161	SOP16	管装	50pcs	盒装	10000pcs (200 管/盒)

6 应用方案

6.1 应用参考电路图

CI13161 芯片仅需少量外围器件，即可开发出支持各类语音应用的终端产品方案。

CI13161 支持单麦克风差分或单端输入。应用方案设计可根据方案所需的功能、功耗和成本等需求因素，选择适合的电路设计方案。

以下以 CI13161 的典型应用方案为例，介绍应用方案设计的要点和注意事项

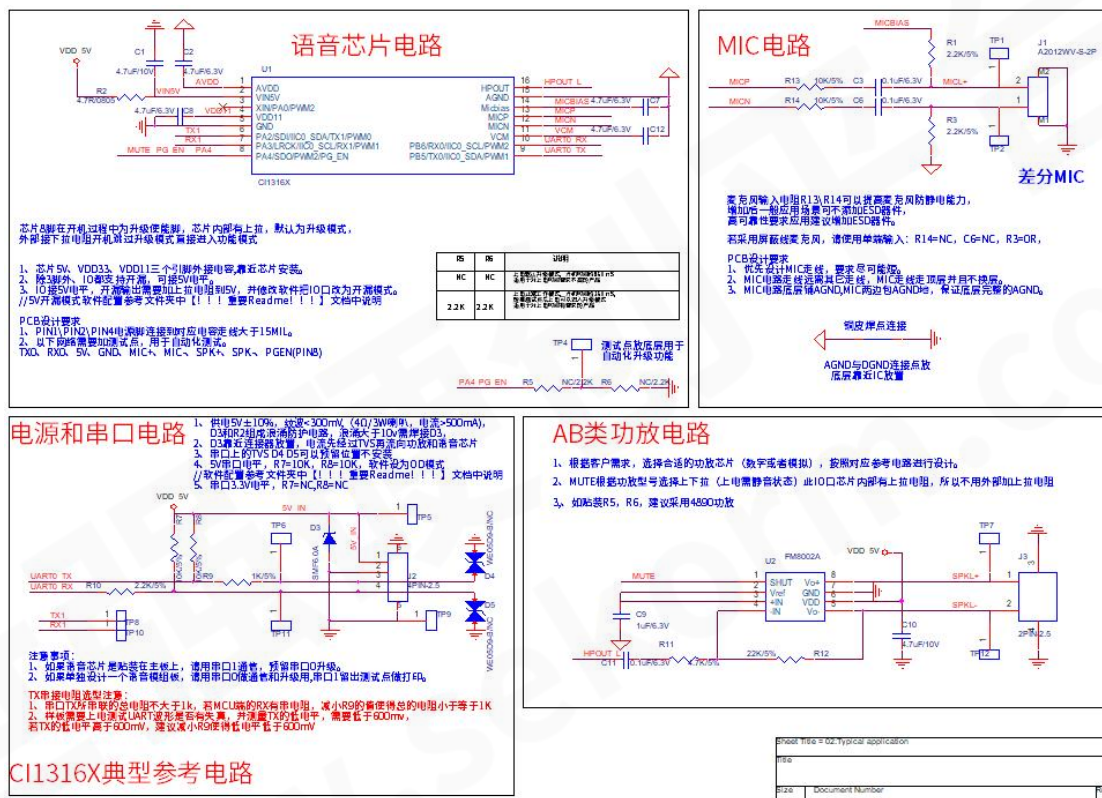


图 6-1 CI1316X 典型应用方案参考电路图

上图为包括 CI13161 在内的 CI1316X 系列芯片，单麦克风差分输入和功放输出的典型应用方案的参考设计电路图，该设计不局限于匹配某个具体的终端产品。应用方案的设计应基于适配上位机终端产品的原则，根据终端产品的功能和性能需求，前往启英泰伦文档中心和 AI 平台下载参考原理图和参考 PCB 图。文档中心链接 <https://document.chipintelli.com/>

应用方案设计时若需预留板级升级功能，可以将 UART0 引脚以插座或测试点的方式引出，以便于 PCB 板贴片完成后通过 UART0 烧写或升级固件。

CI13161 的 PA4 (PG_EN) 管脚在芯片内部预置有 3.3V 上拉电阻，上电时系统将检测该引脚是否被置为 3.3V 高电平，若是高电平且检测 UART0 引脚有外部输入的升级信号，系统即进入升级模式。若该引脚外部接下拉电阻到地，芯片上电时可跳过升级模式检测环节直接进入正常启动模式，以实现系统的快速开机。若应用方案有快速开机需求，可将 PA4 引脚引

出，并串接两个 2.2KΩ 的下拉电阻到地，两个 2.2KΩ 电阻之间预留一个测试点（具体实施方案请参照参考应用图原图或咨询我司的 FAE），PG_EN 两种工作模式如下表

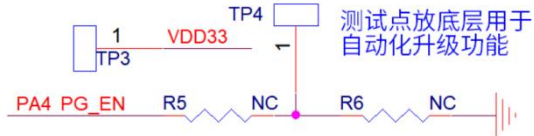
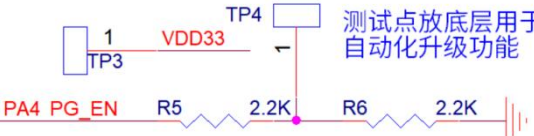
PG_EN 外接电阻图示	R5\R6 安装情况	PG_EN 高低电平	开机时间
	R5\R6 都 NC	高电平, 升级模式	850ms
	R5\R6 贴 2.2K	低电平, 工作模式	350ms

表 6-1 CI1316X 升级模式表

[CI13161](#) 支持差分麦克风输入或单端麦克风输入，推荐采用图 6-1 中的差分麦克风设计。低成本设计方案可采用单端麦克风输入设计，以减少麦克风输入线路上的器件，但该方式仅推荐用于麦克风输入线路长度小于 20 厘米的方案，否则麦克风输入线路太长将影响其抗干扰的能力，导致语音识别效果变差。

该典型应用方案的功放配置为 AB 类功放，推荐采用 8002 系列功放。若不需要语音播报功能，可去除该部分电路以降低方案成本。

若应用方案没有超低功耗要求，建议设计方案采用 [CI13161](#) 内部的 PMU 供电以降低成本。若应用方案有超低功耗要求，可采用外部 DCDC 电路给 [CI13161](#) 供电 1.1V，以降低系统功耗。

[CI13161](#) 的 UART 口均可支持 5V 电平通讯。上图中的 UART0 口是以 3.3V 通讯电平为例，应用方案若需外接 5V 通讯电平，在 UART0 的 RX 和 TX 引脚外围增加 5V 上拉电阻即可，无需配置电平转换电路。

6.2 其它应用注意事项

1. [CI13161](#) 采用无铅环保材料制造，SMT 焊接时请按照无铅标准设置炉温和时间参数。如下图所示

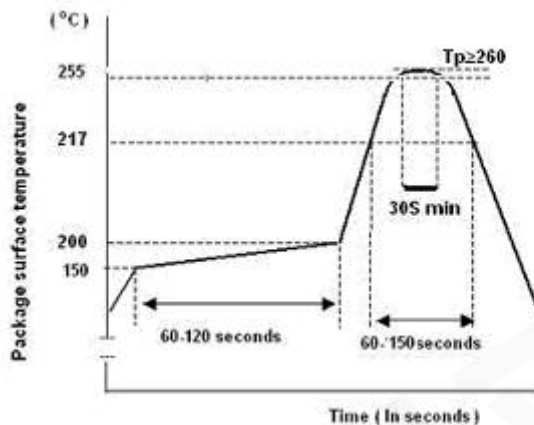


图 6-2 炉温曲线图

2. [CI13161](#) 的取用、搬运、生产加工等过程需注意采取防静电措施，其包装需采用防静电材料。

- 启英泰伦保留对本说明书的解释权和更改权，如有更改恕不另行通知！客户在应用设计前应获取最新版本资料，并验证相关信息是否准确和完整。
- 任何半导体产品在特定条件下都有发生失效或故障的可能，芯片应用方有责任在使用本产品进行系统设计和整机制造时，遵守安全标准并采取安全防护措施，以避免可能的产品失效造成人身伤害或财产损失！
- 启英泰伦将竭诚为客户提供更好的产品和更优质的服务！